



DEUTSCHES
PATENT- UND
MARKENAMT

21 Aktenzeichen: 197 49 378.5
22 Anmeldetag: 7. 11. 97
43 Offenlegungstag: 20. 5. 99

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Pindl, Stephan, Dipl.-Phys., 85238 Petershausen,
DE; Hammerl, Erwin, Dipl.-Phys. Dr., 84539
Zangberg, DE; Schäfer, Herbert, Dipl.-Phys. Dr.,
85635 Höhenkirchen-Siegertsbrunn, DE

56 Entgegenhaltungen:
Silicon-on-Insulator Technology: Materials to
VLSI, Academic Publishers, Boston 1991, pp
107-117;
Symposium on VLSI Technology Digest of
Technical
Papers, IEEE, 1998, pp 172-173;

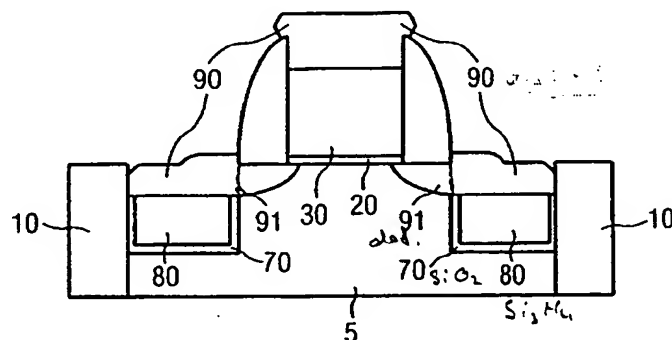
- Geier DR 3
- Geier DR 4

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

64 MOS-Transistor und Verfahren zu dessen Herstellung

57 Ein MOS-Transistor mit Source, einer Gateelektrode,
Drain und einem Kanal weist unterhalb von Source und/
oder Drain eine Schicht (70, 80) aus isolierendem Material
auf, die bis an den Kanal reicht und die höchstens unter-
halb eines Teils der Fläche zwischen Source und Drain an-
geordnet ist. Die Schicht wird insbesondere in einem Gra-
ben angeordnet, der selbstjustiert zur Gateelektrode ge-
ätzt wird und in dem Halbleitermaterial durch selektive
Epitaxie abgeschieden wird. Source und Drain werden in
dem selektiv abgeschiedenen Halbleitermaterial reali-
siert.



DE 197 49 378 A 1

Beschreibung

Die Erfindung betrifft einen MOS-Transistor, mit Source, einer Gateelektrode, Drain und einem Kanal, wobei die Source und die Drain durch datierte Bereiche eines Halbleitermaterials gebildet werden, und wobei sich das Halbleitermaterial auf einem Substrat befindet, das mindestens im Bereich einer Hauptfläche eine ebene Scheibe aus einem Einkristall enthält, sowie ein Verfahren zu dessen Herstellung.

Ein derartiger MOS-Transistor kann beispielsweise in einer CMOS-Logikschaltung als n-Kanal-Transistor oder als p-Kanal-Transistor eingesetzt werden. Es besteht ein hoher Bedarf, die Schaltgeschwindigkeit eines derartigen Transistors zu erhöhen und den Leistungsumsatz zu verringern. Da es bekannt ist, daß eine große Kapazität zwischen dem aktiven Gebiet des MOS-Transistors und dem Substrat zu einer geringen Schaltgeschwindigkeit und zu einem großen Leistungsverbrauch des Transistors führt, wird die Kapazität zwischen dem aktiven Gebiet des Transistors und dem Substrat möglichst klein gehalten.

Zur Erzielung einer hohen Schaltgeschwindigkeit ist es bekannt (J.-P. Colinge, Silicon-on-Insulator Technology: Materials to VLSI, Kluwer Academic Publishers, Boston/Dordrecht/London, 1991, S. 107-117), einen MOS-Transistor auf der Basis eines SOI (SILICON ON INSULATOR)-Substrats aufzubauen. Der Einsatz eines derartigen SOI-Substrats ist mit zwei Vorteilen verbunden. Die laterale und vertikale Isolation durch den Isolator verhindert den sogenannten Latch-up Effekt. Bei dem Latch-up Effekt handelt es sich um das Auftreten eines Zündstroms bei der Polung eines Emitter-Basis-pn-Übergangs in Flußrichtung. Der hohe Zündstrom kann zur lokalen Zerstörung der integrierten Schaltung führen, beispielsweise durch ein Aufschmelzen der Metallisierung. Durch die Vermeidung des Latch-up Effektes ist es möglich, n-Kanal- und p-Kanal-MOS-Transistoren so dicht aneinander zu setzen, wie es die Auflösung des Lithographieverfahrens erlaubt. Ein weiterer Vorzug des Einsatzes von SOI-Substraten besteht darin, daß es fast keine parasitären pn-Kapazitäten gibt, die bei den auftretenden Schaltvorgängen umgeladen werden müssen. Ein derartiger auf einem SOI-Substrat aufgebauter MOS-Transistor zeichnet sich somit durch eine hohe Schaltgeschwindigkeit aus.

Dieser Aufbau des Transistors ist jedoch mit mehreren Nachteilen verbunden. Zum einen kommt es zu einem Aufheizen des Transistors während des Betriebs, zum anderen weist das SOI-Material aufgrund seines Herstellungsverfahrens eine höhere Defektdichte in der oberen Siliziumschicht auf als ein massives Silizium-Substrat. Hierdurch kann es zu Ausfällen und damit zu Ausbeuteproblemen in der Serienproduktion kommen.

Es ist ferner bekannt, ein Verfahren zur Herstellung eines MOS-Transistors so durchzuführen, daß die Isolationsgebiete in einem Abstand von mindestens 0,3 µm von der Gateelektrode erzeugt werden. Die Source und die Drain wachsen epitaktisch auf, wobei eine Verbindung zwischen der Source und der Drain mit dem Kanal erzeugt wird (K. Imai et al. Symposium on VLSI Technology Digest of Technical Papers, IEEE 1996, pp. 172-173). Ferner befindet sich unterhalb des Kanals eine δ-datierte Schicht. Unter δ-Datierung wird hierbei verstanden, daß es sich um eine dünne, hochdotierte Schicht handelt. Eine solche Schicht weist in lateraler Richtung eine gute Leitfähigkeit auf. In vertikaler Richtung weisen die Grenzflächen zwischen der δ-datierten Schicht und den an ihr anliegenden Halbleiterbereichen jedoch eine Isolationseigenschaft auf. Hierdurch tritt in vertikaler Richtung eine ähnliche elektrische Isolation wie bei einem SOI-Substrat auf. Die δ-datierte Schicht verbessert zu-

sätzlich die Kurzkanaleigenschaften des Transistors. Die Kurzkanaleigenschaften des Transistors resultieren daraus, daß die Dicke des Ladungsträger- oder Verarmungsgebiets in der Größenordnung der Kanallänge liegt. Eine in der Praxis besonders störende Kurzkanaleigenschaft ist das Entstehen von Kurzschlüssen. Der Einsatz einer unterhalb des Kanals angeordneten δ-datierten Schicht ist jedoch mit dem Nachteil verbunden, daß die Kapazität zwischen dem aktiven Gebiet des Transistors und dem Substrat nur geringfügig unterdrückt wird. Außerdem wirken sich Schwankungen der Verfahrensparameter bei dem zu der Erzeugung der Isolationsgebiete verwendeten Lithographieprozeß unmittelbar auf die Kapazität aus. Die Schalteigenschaften verschiedener Transistoren des gleichen Typs weisen dadurch eine unerwünscht hohe Schwankungsbreite auf.

Der Erfindung liegt die Aufgabe zugrunde, einen MOS-Transistor und ein Verfahren zu dessen Herstellung anzugeben, bei dem die Nachteile des Standes der Technik vermieden werden. Insbesondere soll ein MOS-Transistor geschaffen werden, der eine möglichst hohe Schaltgeschwindigkeit aufweist und dessen Leistungsumsatz möglichst gering ist. Außerdem soll ein Aufheizen des MOS-Transistors möglichst weitgehend vermieden werden. Ferner soll eine möglichst geringe und gleichzeitig genau definierbare elektrische Kapazität zwischen dem aktiven Gebiet des Transistors und dem Substrat erreicht werden.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß ein gattungsgemäßer MOS-Transistor so ausgestaltet wird, daß unterhalb der Source und/oder der Drain wenigstens eine Schicht aus einem isolierenden Material angeordnet ist, wobei die Schicht bis an den Kanal reicht.

Die Erfindung sieht also vor, einen MOS-Transistor zu schaffen, bei dem die unterhalb der Source und/oder der Drain befindlichen Gebiete anders gestaltet sind als der unterhalb des Kanals befindliche Bereich.

Das Heranreichen der isolierenden Schicht an den Kanal umfaßt sowohl den Fall, daß sich unterhalb des Kanals keine isolierende Schicht befindet als auch den Fall, daß sich ein Teil der isolierenden Schicht unterhalb eines Teils des Kanals erstreckt.

Der Teil der Schicht, der sich unterhalb des Kanals erstreckt, beträgt vorzugsweise weniger als die Hälfte der Fläche des Kanals. Dies ermöglicht eine gute Wärmeableitung aus dem aktiven Gebiet des Transistors. Hierdurch wird eine Aufheizung des Transistors während des Betriebes vermieden, so daß es nicht zu einer unerwünschten Absenkung des Drain-Stroms kommt.

Zweckmäßigerweise ist die Flächenausdehnung der Schicht begrenzt. Diese Begrenzung kann auf verschiedene Weise erfolgen. So ist es beispielsweise möglich, daß eine durchgehende Schicht unterbrochen ist, oder daß eine oder mehrere flächenmäßig begrenzte Schichten jeweils unter bestimmten Gebieten, beispielsweise jeweils unterhalb der Source oder der Drain angeordnet sind. Vorzugsweise dehnt sich die Schicht in ihrem äußeren Bereich bis zu einer Isolationsstruktur aus, die den Transistor gegenüber anderen Schaltungselementen wie beispielsweise benachbarten Transistoren isoliert.

Grundsätzlich kann die Schicht aus einem beliebigen isolierenden Material bestehen. Vorzugsweise ist die Dielektrizitätskonstante der Schicht jedoch möglichst gering.

Eine besonders zweckmäßige Ausführungsform der Erfindung zeichnet sich dadurch aus, daß die Schicht Stickstoff oder eine Stickstoffverbindung enthält. Dies hat den Vorteil, daß auf der Schicht die Gebiete für die Source und die Drain durch selektive Epitaxie aufwachsen können. Als Beispiele für stickstoffhaltige Schichten kommen Nitride wie Si₃N₄, nitridierte Oxide oder in NO, N₂O aufgewach-

sene oder nachbehandelte Oxide betr. Abhängig vom Herstellungsverfahren lagern sich die Stickstoffatome an beiden Grenzflächen (d.h. polykristallines Silizium/Oxid und Silizium-Substrat/Oxid) an, hzw. werden zumindest bevorzugt nahe einer Grenzfläche zu einer Siliziumschicht angereichert.

Es ist besonders zweckmäßig, daß die Stickstoff oder eine Stickstoffverbindung enthaltende Schicht die oberste Schicht von mehreren übereinanderliegenden Schichten bildet. Eine derartige Schichtenfolge vereint den Vorteil, daß die Gebiete für die Source und die Drain gut aufwachsen können mit einer niedrigen wirksamen Dielektrizitätskonstante. Als Material für eine oder mehrere der weiteren Schichten kommen insbesondere Oxide wie SiO_2 in Betracht. Während eine Nitridschicht eine relative Dielektrizitätskonstante von 7,5 aufweist, beträgt die relative Dielektrizitätskonstante von einer nach dem TEOS-Verfahren hergestellten SiO_2 -Schicht lediglich 4.

Es ist weiterhin vorteilhaft, daß die isolierende Schicht eine Dicke von mindestens 20 nm, vorzugsweise mindestens 50 nm aufweist. Eine Mindestdicke der isolierenden Schicht von ungefähr 50 nm hat den Vorteil, daß die Kapazität zwischen den Source/Drain-Gebieten und dem Substrat um mehr als die Hälfte abnimmt.

Eine zweckmäßige Ausführungsform des erfindungsgemäßen MOS-Transistors zeichnet sich dadurch aus, daß er zwei Schichten aus einem isolierenden Material enthält, wobei die eine Schicht unterhalb der Source und die andere Schicht unterhalb der Drain angeordnet ist.

Bei dem Vorhandensein von mehreren Schichten ist es zweckmäßig, daß die Schichten auf gleicher Höhe angeordnet sind. Dies ist herstellungstechnisch besonders einfach zu realisieren und hat gleichzeitig den Vorteil, daß der Wert der verbleibenden Restkapazität sehr genau festgelegt werden kann.

Bei den erfindungsgemäßen Transistoren kann es sich sowohl um p-Kanal-Transistoren als auch um n-Kanal-Transistoren handeln. Es ist somit möglich, sämtliche Transistoren einer CMOS-Schaltung auf die erfindungsgemäße Weise zu gestalten. Bei einem beabsichtigten unterschiedlichen Schaltungsverhalten der einzelnen Transistoren genügt es jedoch, daß nur einer oder wenige der Transistoren auf die erfindungsgemäße Weise gestaltet sind.

Die Erfindung betrifft ferner ein Verfahren zur Herstellung eines MOS-Transistors, wobei auf einem Substrat ein Halbleitermaterial abgeschieden wird, und wobei in dem Halbleitermaterial definierte Gebiete für Source und Drain gebildet werden. Dieses Verfahren wird erfindungsgemäß so durchgeführt, daß unterhalb der Source und/oder der Drain wenigstens eine Schicht aus einem isolierenden Material aufgebracht wird, wobei die Schicht so aufgebracht wird, daß sie bis an den Kanal reicht.

Vorzugsweise wird zu der Herstellung des MOS-Transistors in dem Substrat eine Isolationsstruktur gebildet, die ein aktives Gebiet für den MOS-Transistor umgibt. Innerhalb der Isolationsstruktur wird eine Gateelektrode gebildet, die an Flanken mit isolierenden Abstandsstücken (Spacer) versehen werden. Durch selektives Ätzen werden anschließend Gräben gebildet. Das Ätzen erfolgt selektiv zur Isolationsstruktur und zu den isolierenden Abstandsstücken. Dadurch reichen die Gräben von der Isolationsstruktur bis zu der mit den isolierenden Abstandsstücken versehenen Gateelektrode. Die Schicht aus isolierendem Material wird anschließend in den Gräben gebildet. Dabei wird die Höhe der Schicht so bemessen, daß sie geringer als die Tiefe der Gräben ist. Dadurch liegt unterhalb der Gateelektrode in den Gräben mindestens eine Flanke aus dem Halbleitermaterial des Substrats frei. Anschließend wird oberhalb der Schicht

aus dem isolierenden Material durch selektive Epitaxie Halbleitermaterial abgeschieden. Durch die selektive Epitaxie wächst das Halbleitermaterial ausgehend von der in den Gräben freiliegenden Flanke des Substrats monokristallin. Oberhalb der Schicht aus isolierendem Material wächst es polykristallin auf. In dem in den Gräben des durch selektive Epitaxie abgeschiedenen Halbleitermaterial werden Source/Drain-Gebiete gebildet. Die Source/Drain-Gebiete werden durch in situ-Datierung bei der selektiven Epitaxie oder durch nachfolgende Implantation datiert. Dieses Verfahren bietet den Vorteil, daß die Gräben selbstjustiert zu der Gateelektrode und der Isolationsstruktur gebildet werden und daß das abgeschiedene Halbleitermaterial, in dem die Source/Drain-Gebiete gebildet werden, selbstjustiert zur Lage der Gräben gebildet werden. Die Schicht des isolierenden Material, die in den Gräben gebildet wird, und das abgeschiedene Halbleitermaterial in den Gräben weisen die gleiche Weite auf. D.h. die Schicht aus isolierendem Material, die die parasitäre Junction-Substrat-Kapazität reduziert, ist bezüglich ihrer Breite auf selbstjustierte Weise optimiert.

Weitere Vorteile, zweckmäßige Weiterbildungen und Besonderheiten der Erfindung ergeben sich aus den Unteransprüchen und der nachfolgenden Darstellung eines bevorzugten Ausführungsbeispiels anhand der Zeichnungen.

Von den Zeichnungen zeigt

Fig. 1 einen Querschnitt durch das Substrat 5 während der Wannen- und Kanalimplantation,

Fig. 2 das in Fig. 1 dargestellte Substrat nach dem Aufwachsen des Gateoxids und von polykristallinem Silizium,

Fig. 3 einen Querschnitt durch das Substrat nach Abscheidung einer Nitridschicht,

Fig. 4 einen Querschnitt durch das Substrat nach der Strukturierung der Gateelektrode,

Fig. 5 einen Querschnitt durch das Substrat nach Abscheidung eines Abstandsstücks (Spacer) an der Gateelektrode,

Fig. 6 einen Querschnitt durch das Substrat nach der Ätzung von Isolationsgräben,

Fig. 7 einen Querschnitt durch das Substrat nach Auffüllung der Gräben,

Fig. 8 einen Querschnitt durch das Substrat während der Durchführung eines Planarisierungsvorgangs,

Fig. 9 einen Querschnitt durch das Substrat nach Entfernung der Nitridschicht auf der Gateelektrode

Fig. 10 einen Querschnitt durch das Substrat nach Entfernen von Oxidresten an den Flanken des Abstandsstücks und

Fig. 11 einen Querschnitt durch das Substrat nach Aufwachsen einer Siliziumschicht.

Eine besonders bevorzugte Ausführungsform der Erfindung beginnt mit einer herkömmlichen Isolation der aktiven Gebiete durch die Erzeugung einer Isolationsstruktur 10, beispielsweise mit einem LOCOS- oder STI (Shallow-Trench-Isolation)-Prozeß.

Nachfolgend wird der Prozeß auf der Basis einer Isolationsstruktur, die nach dem STI-Verfahren hergestellt wurde, erläutert. Es könnte aber technologisch auch eine LOCOS oder Recessed LOCOS-Isolation verwendet werden.

Danach werden Wannen- und Kanalgebiete durch Ionenimplantation mit Bor im Fall eines NMOS-Transistors oder mit Phosphor im Fall eines PMOS-Transistors erzeugt (siehe Fig. 1). Anschließend wird ein Gatedielektrikum 20, das vorzugsweise ein Oxid enthält, aufgewachsen. Anschließend wird ein Gatestapel abgeschieden, beispielsweise durch Abscheidung einer polykristallinen Siliziumschicht 25 und einer Nitridschicht 28 (siehe Fig. 2 und Fig. 3).

Im nächsten Prozeßschritt wird durch Strukturierung der polykristallinen Siliziumschicht 25 und der Nitridschicht 28

eine Gateelektrode 30 gebildet (siehe Fig. 4) und gegebenenfalls Dotierstoff in einer leicht ansteigenden Konzentration implantiert (LDD-Implantation). Ein derart flaches Konzentrationsgefälle verlängert die Lebensdauer des Transistors.

Danach folgt die Bildung von Abstandsstücken 40, vorzugsweise durch die Abscheidung von SiO_2 durch Zersetzung von Tetra-Ethyl-Ortho-Silikat ($\text{SiO}(\text{OC}_2\text{H}_5)_4$; TEOS), und anschließendes anisotropes Ätzen, was als TEOS-Spacer-Bildung bezeichnet wird (siehe Fig. 5).

Im folgenden werden mit einer Lackmaske 50 Diffusionsgebiete für Wannenkontakte, die sich außerhalb der Isolationsstruktur 10 befinden, abgedeckt und Silizium plasmageätzt (siehe Fig. 6). Die Plasmaätzung erfolgt selektiv zu der Isolationsstruktur 10, den Abstandsstücken 40 und der Nitridschicht 28. Als Ätzmittel ist HBr, Chlor und Helium geeignet. Die Ätzung erfolgt bei 100 bis 500 mTorr und 10 bis 50°C. Es entstehen selbstjustiert ungefähr 300 nm tiefe Gräben 60, die von der mit den Abstandsstücken 40 versehenen Gateelektrode 30 bis zu der Isolationsstruktur 10 reichen. Nachfolgend wird eine dünne Oxidschicht 70 gebildet, was beispielsweise durch Abscheidung nach dem TEOS-Verfahren oder durch thermische Oxidation erfolgen kann. Es folgt die Abscheidung einer Nitridschicht 80, die so dick ist, daß sie die Gräben 60 füllt und die Gateelektrode 30 bedeckt (siehe Fig. 7). Vorzugsweise ist die Nitridschicht 80 ungefähr 600 nm dick. Die Nitridschicht 80 erlaubt selektiv zu einer Oxidschicht ein Aufwachsen von Silizium.

Mit Hilfe eines CMP (chemisch-mechanisches Polieren)-Schrittes werden Unebenheiten in der Oberfläche der Nitridschicht 80 entfernt und die Nitridschicht 80 auf eine Zieldicke von ungefähr 100 nm bis 200 nm auf der Gateelektrode 30 gebracht (siehe Fig. 8). Der CMP-Schritt wird gestoppt, bevor es zu einer Entfernung der auf der oberen Oberfläche der Gateelektrode 30 befindlichen dünnen Oxidschicht, des sogenannten Dünnoxid-Nitrid-Deckels, kommen kann.

Beim darauffolgenden naßchemischen Dünnen der Nitridschicht wird auch der Dünnoxid-Nitrid-Deckel auf der Gateelektrode 30 entfernt, so daß die Oberfläche der Gateelektrode 30 freigelegt wird (siehe Fig. 9). Hierbei wird eine Zieldicke der Nitridschicht 80 erreicht, die geringer als die Höhenausdehnung der isolierenden Gräben 60 ist. Die Zieldicke der Nitridschicht 80 beträgt ungefähr 100 nm bis 200 nm, wobei 150 nm bevorzugt sind. Ein kurzer Ätzschritt entfernt nach Oxidreste an der Flanke zum Abstandsstück (Spacer) 40 und eventuell vorhandene Nitridreste auf der Gateelektrode 30 (siehe Fig. 10).

Es folgt nun ein Epitaxieschritt, bei dem ein Halbleitermaterial 90, vorzugsweise Silizium (je nach Anwendungszweck in situ dotiert oder undotiert), selektiv nur auf Nitrid und Silizium, nicht jedoch auf dem Oxid wächst. Die selektive Epitaxie erfolgt mit einem H_2 , SiH_2Cl_2 und HCl enthaltenden Prozeßgas, dem in dem Fall der in situ-Dotierung Dotiergase zugegeben werden, im Temperaturbereich zwischen 750 und 950°C und im Druckbereich zwischen 1 und 100 Torr. Das Wachstum erfolgt dabei monokristallin auf Silizium und polykristallin auf Nitrid. Es bildet sich eine Halbleiterschicht, vorzugsweise eine Polysiliziumschicht, auf der Nitridschicht mit monokristallinem Anschluß an den Kanalbereich unterhalb der Gateelektrode 30. Gleichzeitig wächst das Halbleitermaterial 90 auf der Gateelektrode 30 (siehe Fig. 11).

Erfolgt das Aufwachsen des Halbleitermaterials in situ dotiert, so bildet das seitlich der Gateelektrode 30 aufgewachsene Halbleitermaterial Source/Drain-Gebiete 91. Erfolgt das Aufwachsen des Halbleitermaterials 90 undotiert, so werden Source/Drain-Gebiete 91 durch Implantation mit

Phosphor im Fall eines NMOS-Transistors oder mit Bor im Fall eines PMOS-Transistors und anschließendes Tempern.

Im Anschluß an die dargestellten Prozeßschritte wird der Transistor durch die üblichen Verfahrensschritte wie Aufbringen einer Passivierungsschicht, Kontaktlochoffnung und Kontaktbildung fertiggestellt (nicht dargestellt).

Durch das vorgestellte Verfahren befindet sich unter sämtlichen Source/Drain-Gebieten eine isolierende Schicht, die die parasitäre Junction-Substrat-Kapazität drastisch reduziert.

Patentansprüche

1. MOS-Transistor,

- mit Source, einer Gateelektrode, Drain und einem Kanal,
- wobei die Source und die Drain durch datierte Bereiche eines Halbleitermaterials gebildet werden, und
- wobei sich das Halbleitermaterial auf einem Substrat befindet, das mindestens im Bereich einer Hauptfläche eine ebene Scheibe aus einem Einkristall enthält, dadurch gekennzeichnet, daß unterhalb der Source und/oder der Drain wenigstens eine Schicht (70, 80) aus einem isolierenden Material angeordnet ist, wobei die Schicht (70, 80) bis an den Kanal reicht und höchstens unterhalb eines Teils der Fläche zwischen der Source und der Drain angeordnet ist.

2. MOS-Transistor nach Anspruch 1, dadurch gekennzeichnet, daß die Schicht (70, 80) höchstens unterhalb der Hälfte der Fläche zwischen der Source und der Drain angeordnet ist.

3. MOS-Transistor nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die Schicht (70, 80) eine Dicke von mindestens 20 nm aufweist.

4. MOS-Transistor nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß unterhalb der Source und/oder der Drain mehrere übereinanderliegende Schichten (70, 80) angeordnet sind.

5. MOS-Transistor nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Schicht (80) Stickstoff oder eine Stickstoffverbindung enthält.

6. MOS-Transistor nach Anspruch 5, dadurch gekennzeichnet, daß die Stickstoff oder eine Stickstoffverbindung enthaltende Schicht (80) die oberste Schicht von mehreren übereinanderliegenden Schichten (70, 80) bildet.

7. MOS-Transistor nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß er zwei Schichten aus einem isolierenden Material enthält, wobei die eine Schicht unterhalb der Source und die andere Schicht unterhalb der Drain angeordnet ist.

8. MOS-Transistor nach Anspruch 7, dadurch gekennzeichnet, daß die Schichten auf gleicher Höhe angeordnet sind.

9. CMOS-Schaltung, dadurch gekennzeichnet, daß sie wenigstens einen MOS-Transistor nach einem der Ansprüche 1 bis 8 enthält.

10. Verfahren zur Herstellung eines MOS-Transistors,

- wobei auf einem Substrat ein Halbleitermaterial abgeschieden wird, und
- wobei in dem Halbleitermaterial datierte Gebiete für Source und Drain gebildet werden, dadurch gekennzeichnet, daß unterhalb der Source und/oder der Drain wenigstens eine Schicht (70, 80) aus einem isolierenden Material aufgebracht

wird, wobei die Schicht (70, 80) so aufgebracht wird, daß sie höchstens unterhalb eines Teils der Fläche zwischen der Source und der Drain angeordnet ist.

11. Verfahren nach Anspruch 10, 5
- bei dem in dem Substrat eine Isolationsstruktur (10) gebildet wird, die ein aktives Gebiet für den MOS-Transistor umgibt,
 - bei dem innerhalb der Isolationsstruktur (10) eine Gateelektrode (30) gebildet wird, deren Flanken mit isolierenden Abstandsstücken (40) versehen werden, 10
 - bei dem durch selektives Ätzen Gräben (60) gebildet werden, die von der Isolationsstruktur (10) bis zu der mit den isolierenden Abstandsstücken (40) versehenen Gateelektrode (30) reichen, 15
 - bei dem die Schicht (70, 80) aus isolierendem Material in den Gräben (60) gebildet wird,
 - bei dem in den Gräben (60) oberhalb der Schicht (70, 80) durch selektive Epitaxie Halbleitermaterial (90) abgeschieden wird. 20

Hierzu 4 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

FIG 1

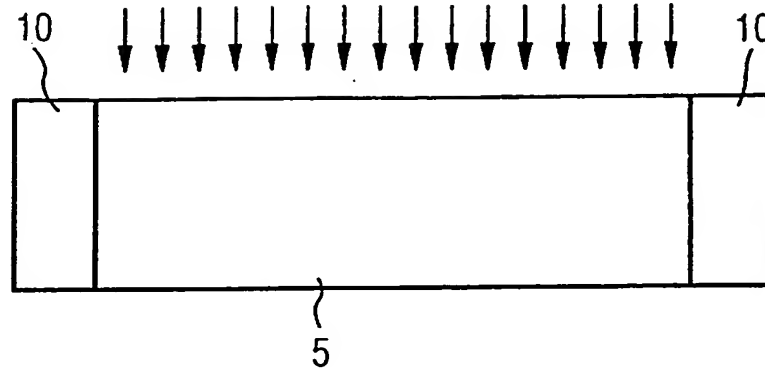


FIG 2

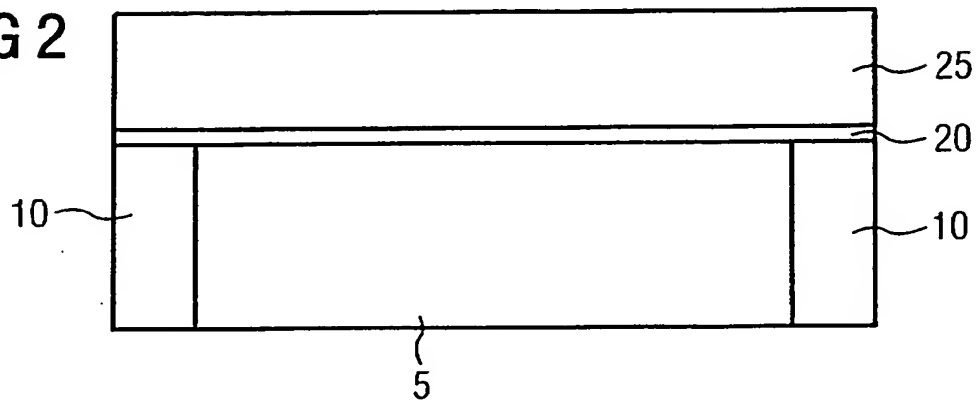


FIG 3

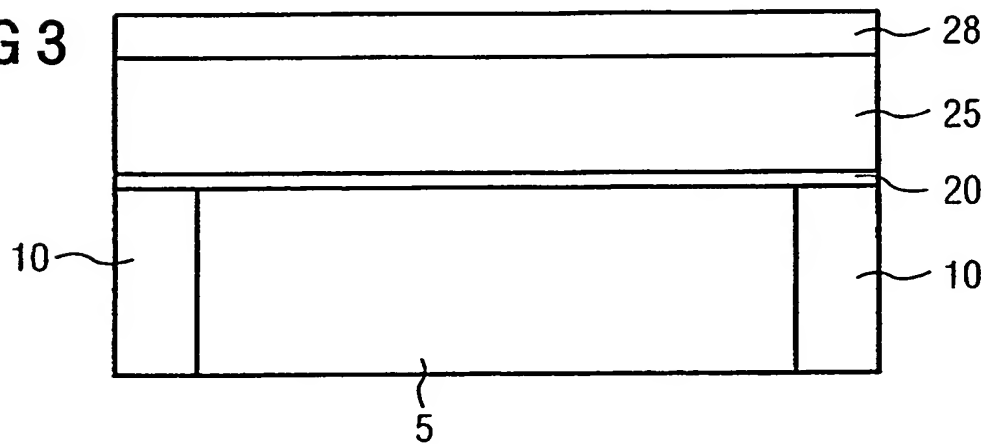


FIG 4

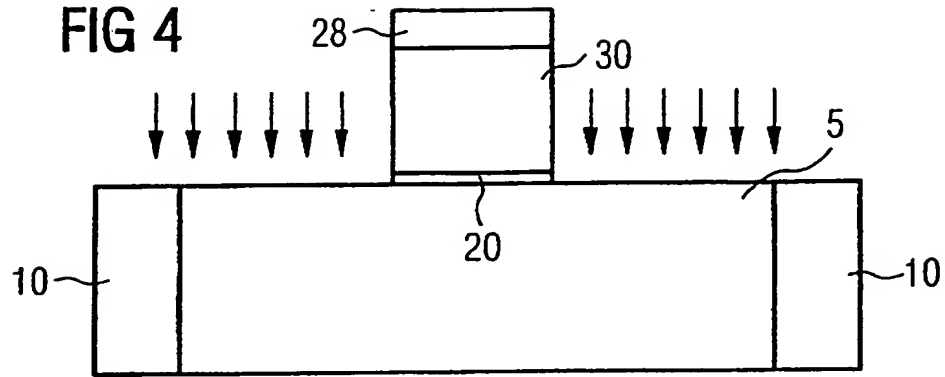


FIG 5

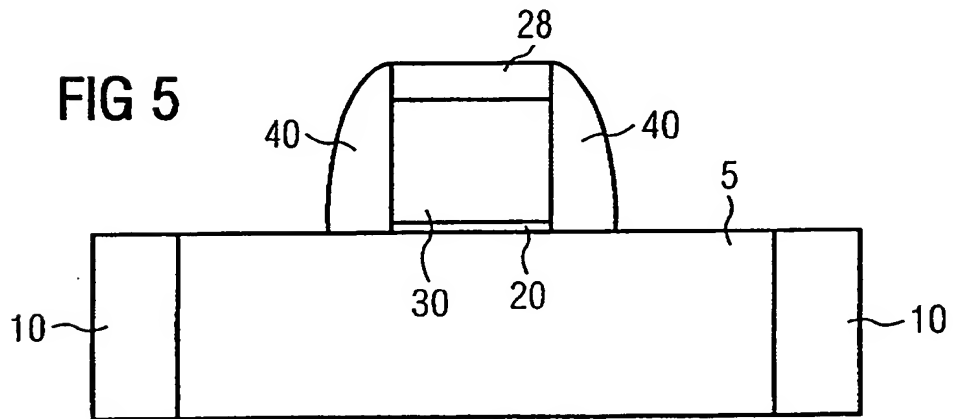


FIG 6

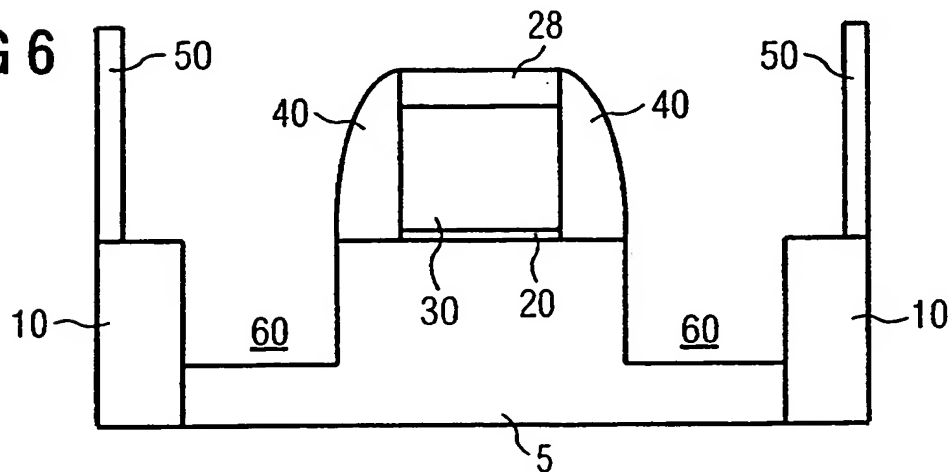


FIG 7

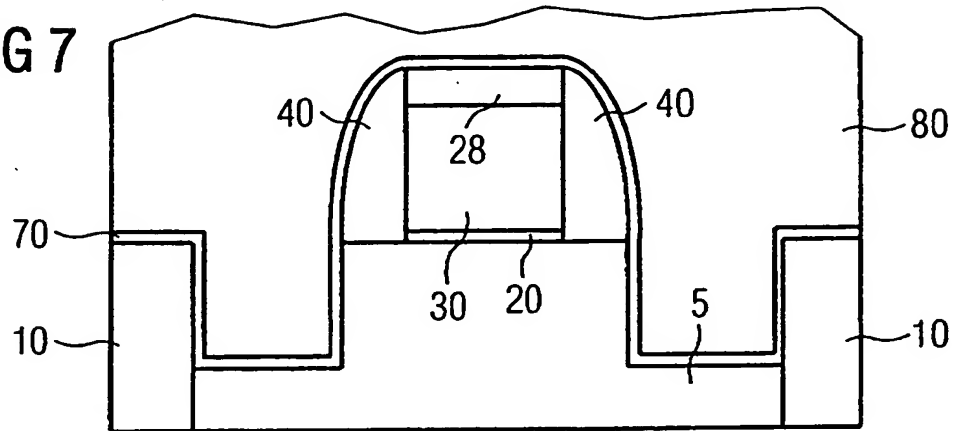


FIG 8

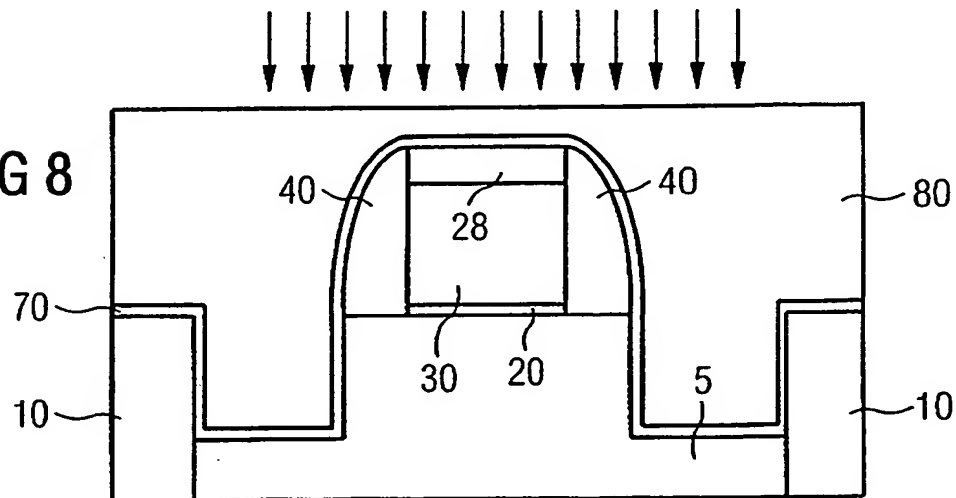


FIG 9

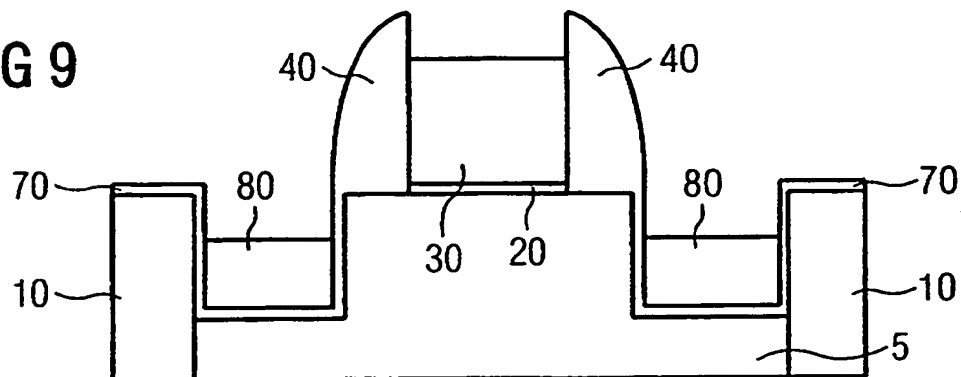


FIG 10

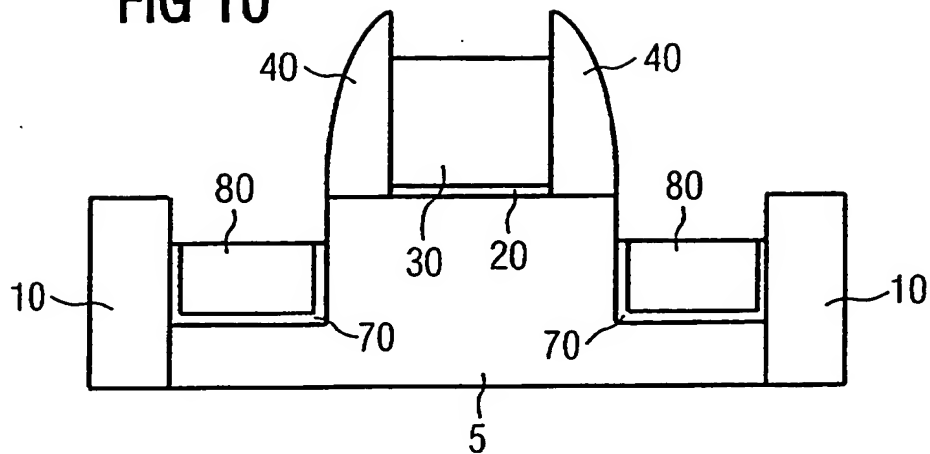


FIG 11

